

CIRCUITOS SECUENCIALES: FLIP FLOP

Prof. José Luis Segura Anarcaya

Curso: Ingeniería de Circuitos y Sistemas Digitales

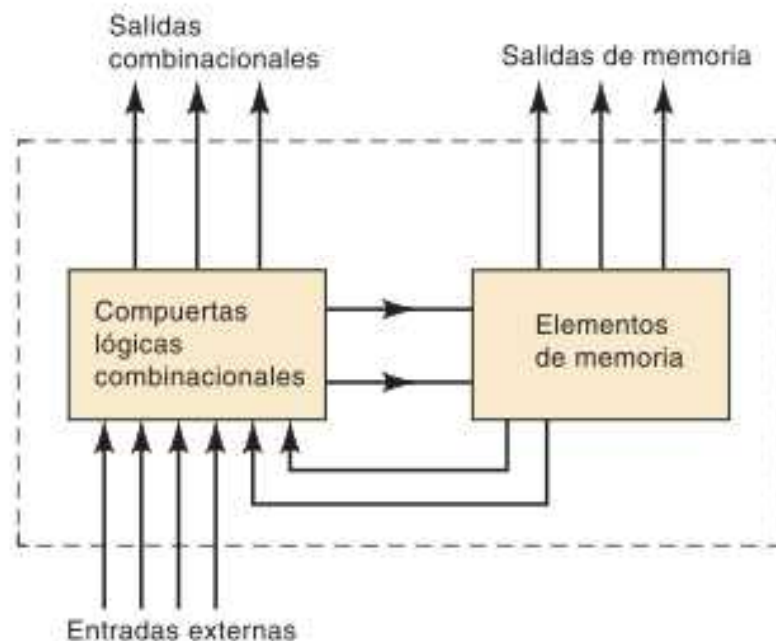
Carrera de Ingeniería de Sistemas

Universidad Santo Domingo de Guzmán USDG

Semestre 2015 - I

La figura 5-1 muestra un diagrama de bloques de un sistema digital general que combina las compuertas lógicas combinacionales con los dispositivos de memoria. La porción combinacional acepta las señales lógicas de las entradas externas y de las salidas de los elementos de memoria. El circuito combinacional opera sobre estas entradas para producir varias salidas, algunas de las cuales se utilizan para determinar los valores binarios que se van a almacenar en los elementos de memoria.

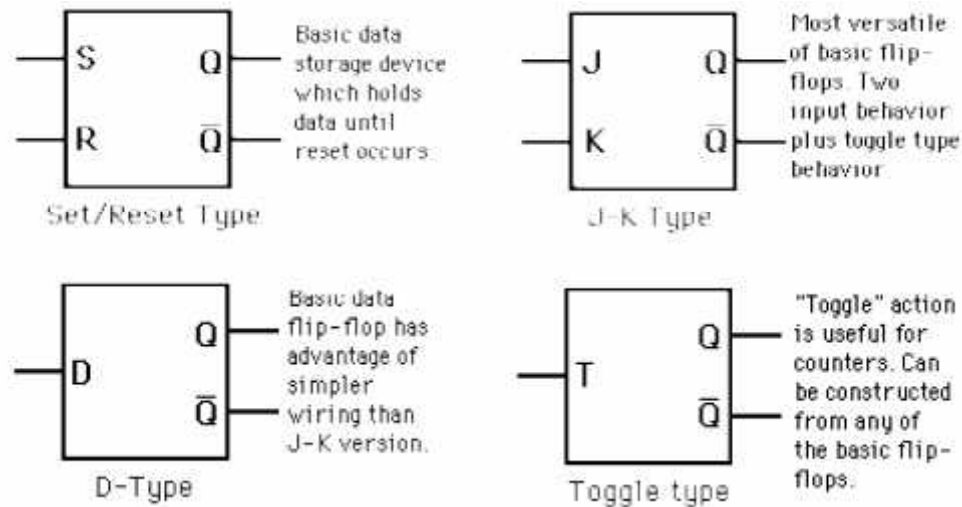
FIGURA 5-1 Diagrama de un sistema digital general.



A su vez, las salidas de algunos de los elementos de memoria van a las entradas de las compuertas lógicas en los circuitos combinacionales. Este proceso indica que las salidas externas de un sistema digital son funciones tanto de sus entradas externas como de la información almacenada en sus elementos de memoria.

FLIP FLOP

El elemento de memoria más importante es el **flip-flop**, el cual está formado por un conjunto de compuertas lógicas. Una compuerta lógica por sí sola no tiene capacidad de almacenamiento, sin embargo, varias de ellas pueden interconectarse de cierta forma logrando que permiten almacenar información. Para producir estos flip-flop (que se abrevian como FF) se utilizan varios arreglos distintos de compuertas.



Al flip-flop se le conoce también con otros nombres, incluyendo *latch* y *multivibrador biestable*. El término *latch* se utiliza para ciertos tipos de flip-flops que describiremos más adelante. El término *multivibrador biestable* es el nombre técnico más adecuado en español para un flip-flop, pero es demasiado largo como para utilizarlo regularmente.

La figura 5-2(a) es el tipo general de símbolo que se utiliza para un flip-flop. Ahí se muestran dos salidas identificadas como Q y \bar{Q} , que son el inverso una de otra. Q/\bar{Q} son las designaciones más comunes que se utilizan para las salidas de un FF. De vez en cuando utilizaremos otras designaciones tales como X/\bar{X} y A/\bar{A} , por conveniencia, para identificar los distintos FFs en un circuito lógico.

La salida Q es la salida *normal* del FF, y \bar{Q} es la salida *invertida* del FF. Cada vez que nos referimos al estado de un FF, estamos haciendo referencia al estado de su salida normal (Q); se sobreentiende que su salida invertida (\bar{Q}) está en el estado opuesto. Por ejemplo, si decimos que un FF se encuentra en el estado ALTO (1), significa que $Q = 1$; si decimos que un FF se encuentra en el estado BAJO (0), significa que $Q = 0$. Desde luego que el estado de \bar{Q} siempre será el inverso de Q .

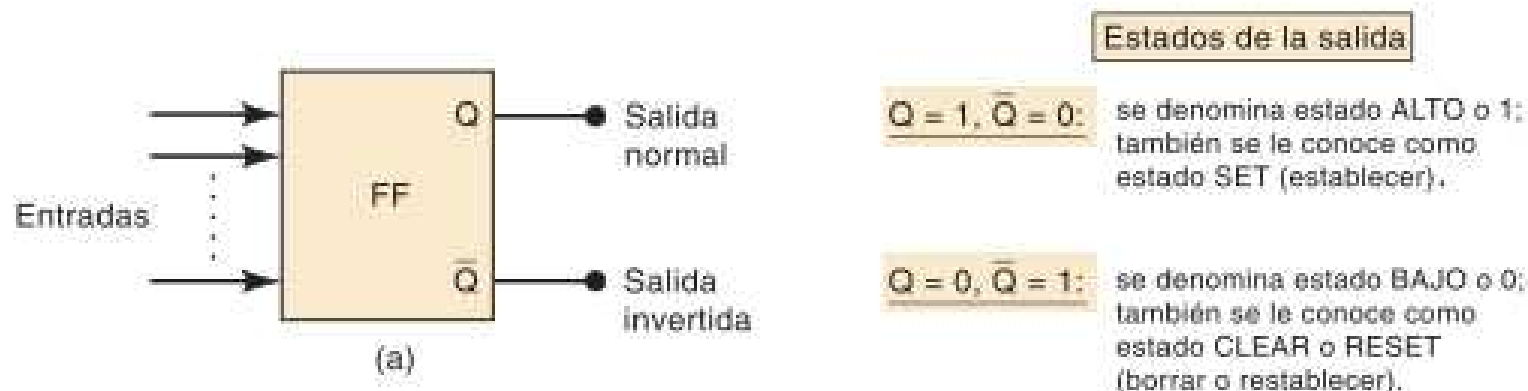
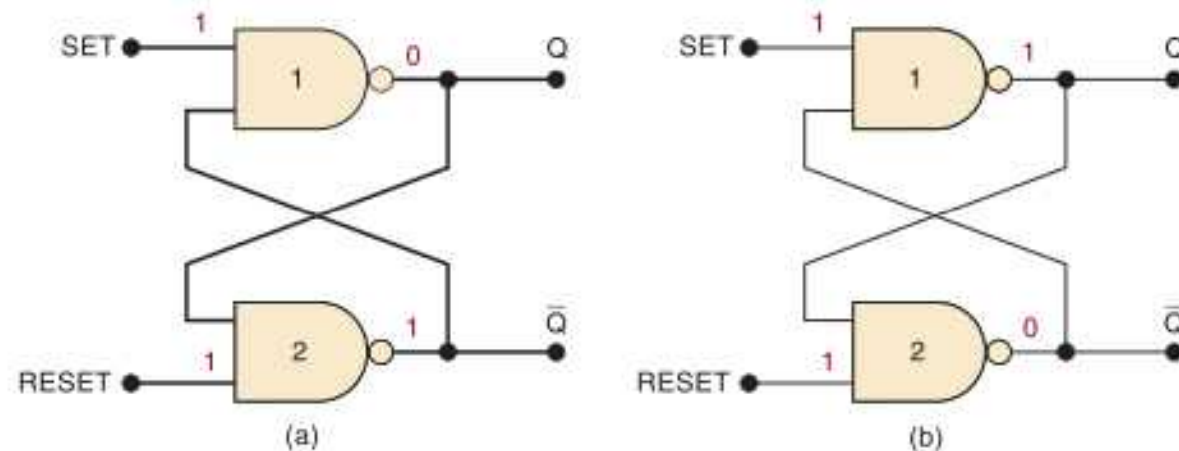


FIGURA 5-2 Símbolo general de un flip-flop y la definición de sus dos posibles estados de salida.

LATCH DE COMPUERTA NAND

El circuito de FF más básico puede crearse a partir de dos compuertas NAND o de dos compuertas NOR. En la figura 5-3(a) se muestra la versión con compuertas NAND, a la cual se le conoce como latch de compuerta NAND o simplemente latch.

FIGURA 5-3 Un latch NAND tiene dos posibles estados en los que se puede mantener cuando $SET = RESET = 1$.



Cómo establecer el latch (FF)

Ahora vamos a investigar lo que ocurre cuando se aplica un pulso a la entrada SET para mantenerla unos momentos en nivel BAJO mientras que RESET se mantiene en ALTO. La figura 5-4(a) muestra lo que ocurre cuando $Q = 0$ antes de que se produzca el pulso. A medida que se aplica un pulso a SET para que cambie a nivel

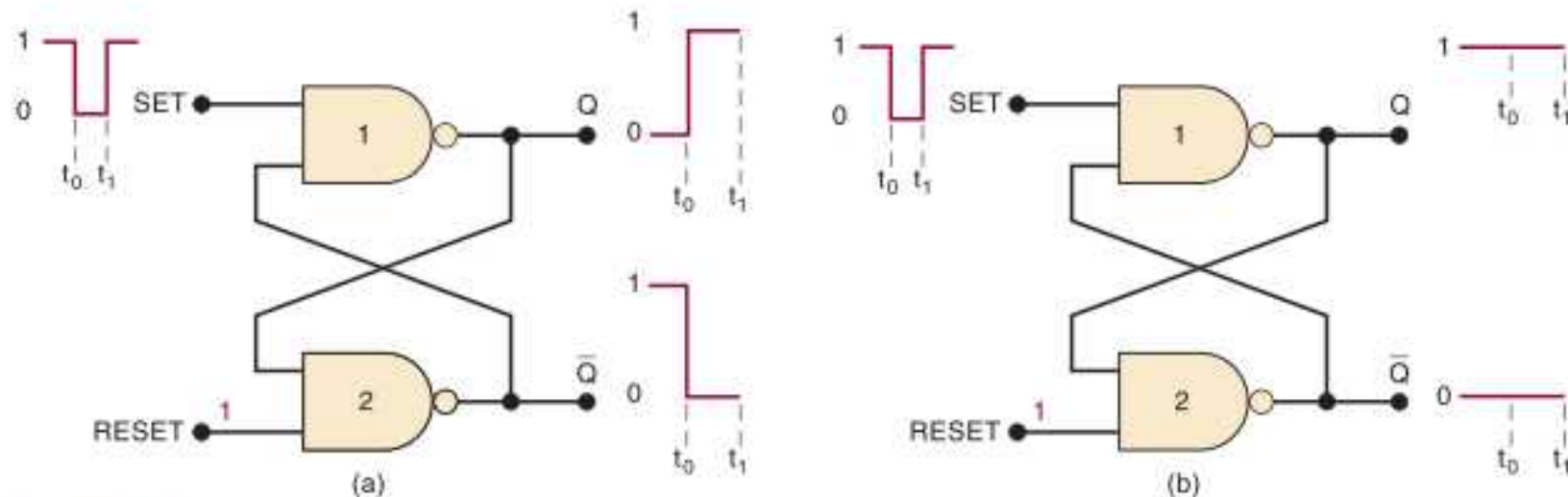


FIGURA 5-4 Aplicación de un pulso a la entrada SET para que cambie al estado 0 cuando (a) $Q = 0$ antes del pulso en SET; (b) $Q = 1$ antes del pulso en SET. Observe que, en ambos casos, Q termina en ALTO.

Para sintetizar la figura 5-4 diremos que un pulso BAJO en la entrada SET siempre hará que el latch termine en el estado $Q = 1$. A esta operación se le conoce como *establecer* el latch o FF.

Cómo restablecer el latch (FF)

Ahora consideremos lo que ocurre cuando se aplica un pulso a la entrada RESET para que cambie a nivel BAJO mientras que SET se mantiene en ALTO.

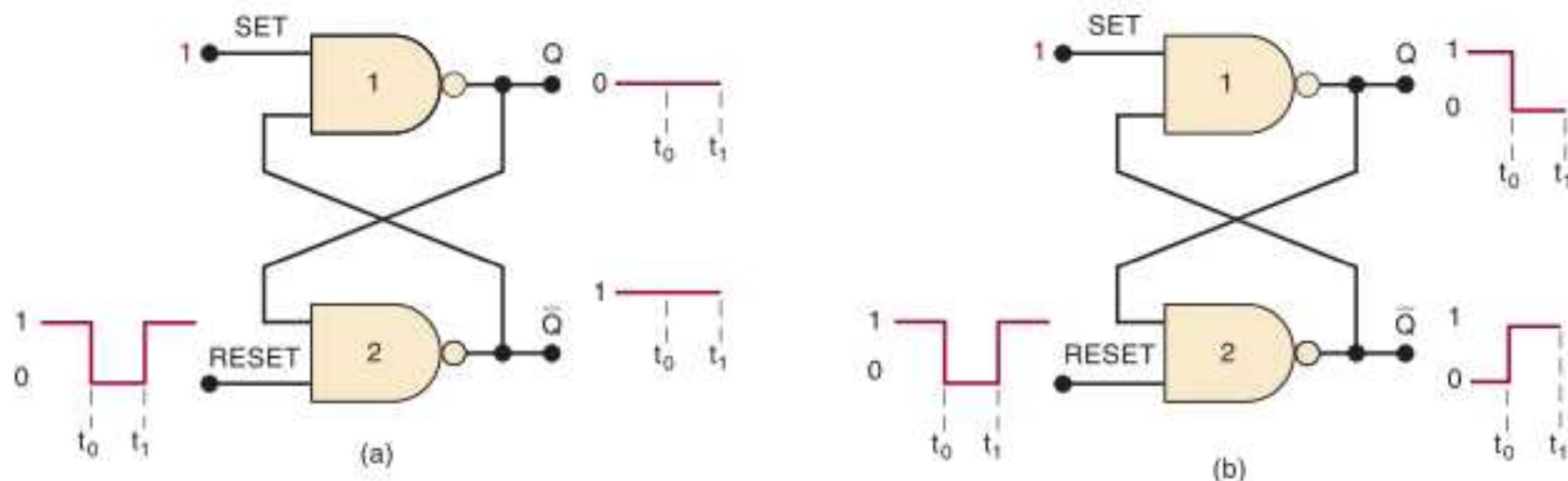


FIGURA 5-5 Aplicación de un pulso a la entrada RESET para que cambie al estado BAJO cuando (a) $Q = 0$ antes del pulso en RESET; (b) $Q = 1$ antes del pulso en RESET. En cada caso, Q termina en BAJO.

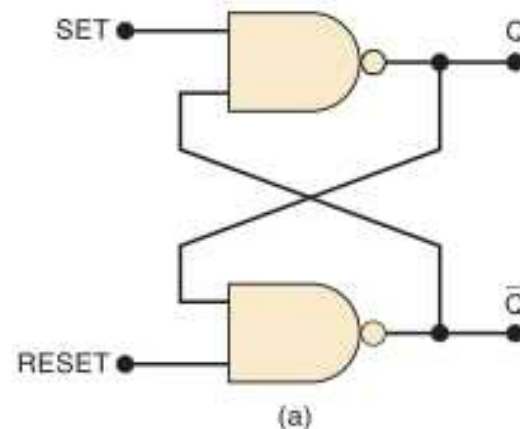
Para sintetizar la figura 5-5 diremos que un pulso BAJO en la entrada RESET siempre hará que el latch termine en el estado $Q = 0$. A esta operación se le conoce como *borrar* o *restablecer* el latch.

Resumen del latch NAND

La operación antes descrita puede colocarse de manera conveniente en una tabla de funciones (figura 5-6) y se sintetiza de la siguiente manera:

1. $SET = RESET = 1$. Esta condición es el estado normal de reposo, y no tiene efecto sobre el estado de la salida. Las salidas Q y \bar{Q} permanecerán en el estado en el que se hayan encontrado antes de esta condición de entrada.
2. $SET = 0, RESET = 1$. Esta condición siempre provocará que la salida cambie al estado $Q = 1$, en donde permanecerá aún después de que SET regrese a ALTO. A esto se le conoce como *establecer* el latch.
3. $SET = 1, RESET = 0$. Esta condición siempre producirá el estado $Q = 0$, en donde permanecerá la salida aún después de que $RESET$ regrese a ALTO. A esto se le conoce como *borrar* o *restablecer* el latch.
4. $SET = RESET = 0$. Esta condición trata de establecer y borrar el latch al mismo tiempo, y produce $Q = \bar{Q} = 1$. Si las entradas se regresan a 1 en forma simultánea, el estado resultante será impredecible. Esta condición de entrada no debe utilizarse.

FIGURA 5-6 (a) latch NAND; (b) tabla de funciones.



Set	Reset	Salida
1	1	Sin cambio
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválido*

* Produce $Q = \bar{Q} = 1$.

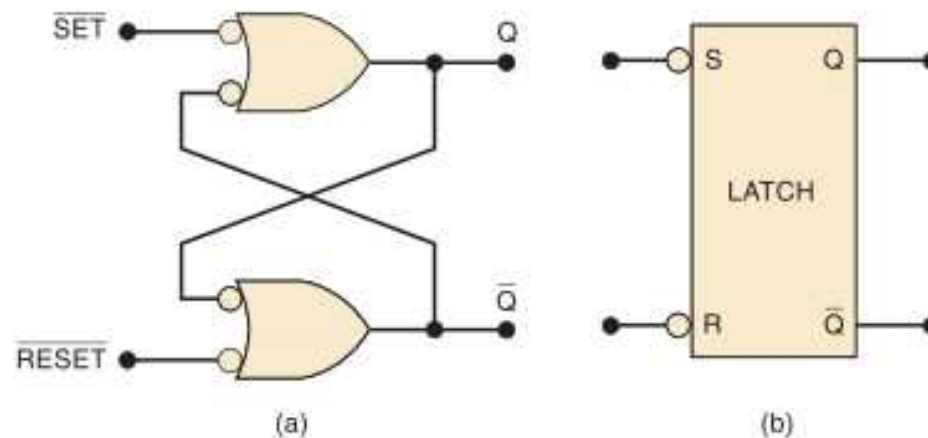
(b)

Representaciones alternativas

De la descripción de la operación del latch NAND debe quedar claro que las entradas SET y RESET son activas en BAJO. La entrada SET establecerá $Q = 1$ cuando SET cambie a BAJO; la entrada RESET borrará $Q = 0$ cuando RESET cambie a BAJO. Por esta razón, a menudo el latch NAND se dibuja utilizando la representación alternativa para cada compuerta NAND, como se muestra en la figura 5-7(a). Las burbujas en las entradas, así como el etiquetado de las señales como \overline{SET} y \overline{RESET} , indican el estado activo en BAJO de estas entradas. (Tal vez quiera repasar las secciones 3-13 y 3-14 que hablan sobre este tema.)

La figura 5-7(b) muestra una representación en bloque simplificada, la cual utilizaremos algunas veces. Las etiquetas S y R representan las entradas SET y RESET, y las burbujas indican la naturaleza activa en BAJO de estas entradas. Cada vez que utilizemos este símbolo de bloque, representará a un latch NAND.

FIGURA 5-7
(a) representación equivalente del latch NAND; (b) símbolo de bloque simplificado.



LATCH DE COMPUERTA NOR

Pueden usarse dos compuertas NOR acopladas en forma transversal para formar lo que se conoce como latch de compuerta NOR. El arreglo, que se muestra en la figura 5-10(a), es similar al latch NAND a excepción de que las salidas Q y \bar{Q} aparecen en posiciones invertidas.

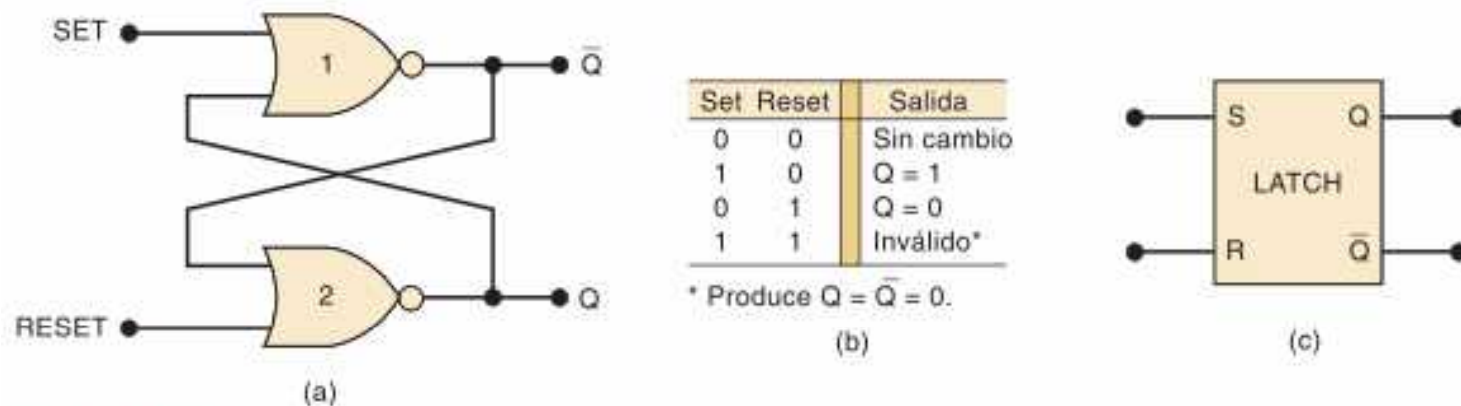
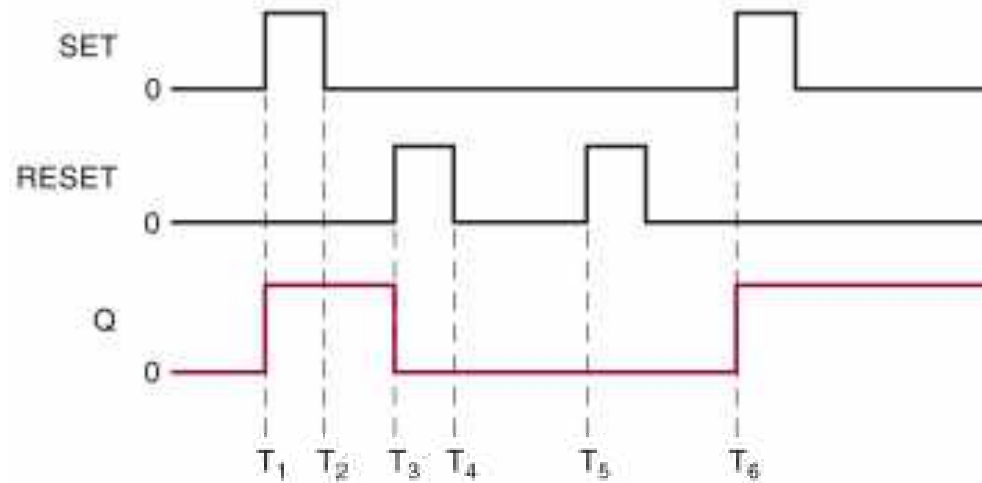


FIGURA 5-10 (a) Latch de compuerta NOR; (b) tabla de funciones; (c) símbolo de bloque simplificado.

1. SET = RESET = 0. Éste es el estado normal de reposo para el latch NOR y no tiene efecto sobre el estado de la salida. Q y \bar{Q} permanecerán en el estado que tenían antes de que se produjera esta condición de entrada.
2. SET = 1, RESET = 0. Esta condición siempre establecerá $Q = 1$, en donde permanecerá aún después de que SET regrese a 0.
3. SET = 0, RESET = 1. Esta condición siempre borrará $Q = 0$, en donde permanecerá aún después de que RESET regrese a 0.
4. SET = 1, RESET = 1. Esta condición trata de establecer y restablecer el latch al mismo tiempo, y produce $Q = \bar{Q} = 0$. Si las entradas se regresan a 0 en forma simultánea, el estado de salida resultante será impredecible. Esta condición de entrada no debe utilizarse.

EJEMPLO

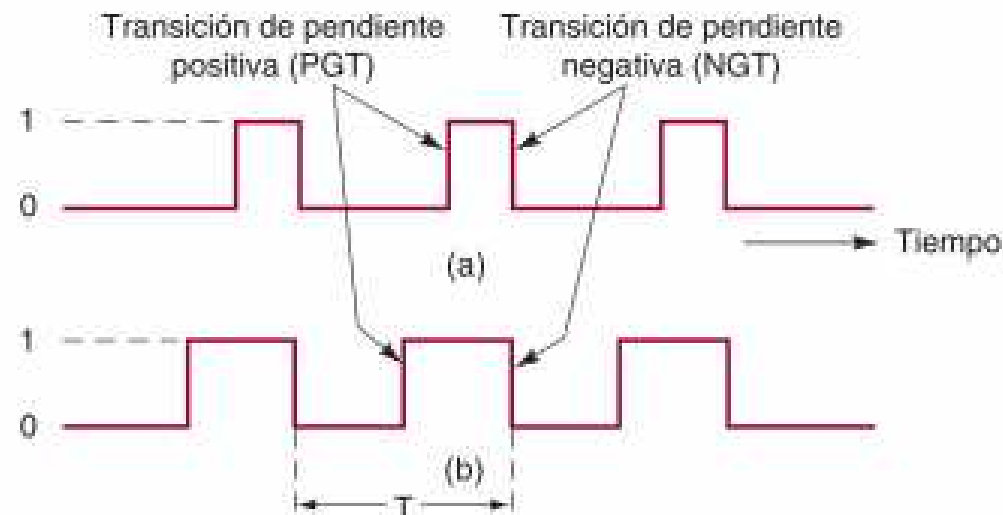
Suponga que al principio $Q = 0$ y determine la forma de onda de Q para las entradas del latch NOR de la figura



SEÑALES DE RELOJ Y FLIP-FLOPS SINCRONIZADOS POR RELOJ

Los sistemas digitales pueden operar en forma *asíncrona* o *síncrona*. En los sistemas asíncronos, las salidas de los circuitos lógicos pueden cambiar de estado en cualquier momento en el que una o más de las entradas cambien. Un sistema asíncrono es, por lo general, más difícil de diseñar que un sistema síncrono; de igual forma el proceso de diagnóstico de fallas es más sencillo para sistemas síncronos.

La acción de sincronización de las señales del reloj se logra a través del uso de **flip-flops sincronizados por reloj**, los cuales están diseñados para cambiar de estado en una de las dos transiciones del reloj.



La velocidad a la que opera un sistema digital síncrono depende de la frecuencia con la que ocurren los ciclos del reloj. Un ciclo de reloj se mide desde una PGT hasta la siguiente PGT, o desde una NGT hasta la siguiente NGT. Al tiempo que se requiere para completar un ciclo (segundos/ciclo) se le conoce como **periodo (T)**, como se muestra en la figura 5-16(b).

Flip-flops sincronizados por reloj

Varios tipos de FFs sincronizados por reloj se utilizan en una amplia variedad de aplicaciones, pero antes de comenzar nuestro estudio al respecto, describiremos las ideas principales que son comunes para todos ellos.

1. Los FFs sincronizados por reloj tienen una entrada de reloj que, por lo general, se identifica como *CLK*, *CK* o *CP*. Aquí utilizaremos *CLK*, como muestra la figura 5-17. En la mayoría de los FFs sincronizados por reloj la entrada *CLK* es disparada por flanco, lo cual significa que se activa mediante una transición de señal; esto se indica por la presencia de un pequeño triángulo en la entrada *CLK*, lo cual contrasta con los latches, que se disparan por nivel.

FIGURA 5-17 Los FFs sincronizados por reloj tienen una entrada de reloj (*CLK*) que se activa ya sea en (a) la PGT o (b) la NGT. Las entradas de control determinan el efecto de la transición activa del reloj.

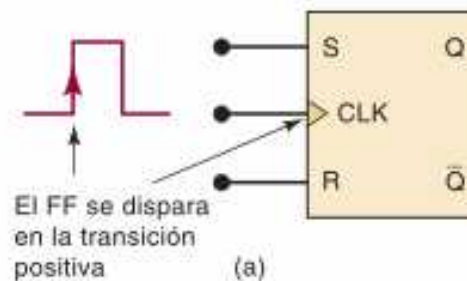


2. Los FFs sincronizados por reloj tienen una o más entradas de control que pueden tener varios nombres, dependiendo de su operación. Las entradas de control no tendrán efecto sobre Q sino hasta que ocurra la transición activa del reloj. En otras palabras, su efecto está sincronizado con la señal que se aplica a CLK . Por esta razón se les conoce como **entradas de control síncronas**.
3. En resumen podemos decir que las entradas de control preparan a las salidas de FF para cambiar, mientras que la transición activa en la entrada CLK dispara el cambio. Las entradas de control controlan el **QUE** (es decir, a qué estado cambiará la salida); la entrada CLK determina el **CUANDO**.

FLIP-FLOP SINCRONIZADO POR RELOJ EN S-R

La figura 5-19(a) muestra el símbolo lógico para un flip-flop sincronizado por reloj en S-R que se dispara por el flanco de pendiente positiva de la señal del reloj. Esto significa que el FF puede cambiar de estado *sólo* cuando una señal que se aplica a su entrada de reloj realiza la transición de 0 a 1. Las entradas S y R controlan el estado del FF de la misma forma como se describió antes para el latch de compuerta NOR, pero el FF no responde a estas entradas sino hasta que ocurre la PGT en la señal del reloj.

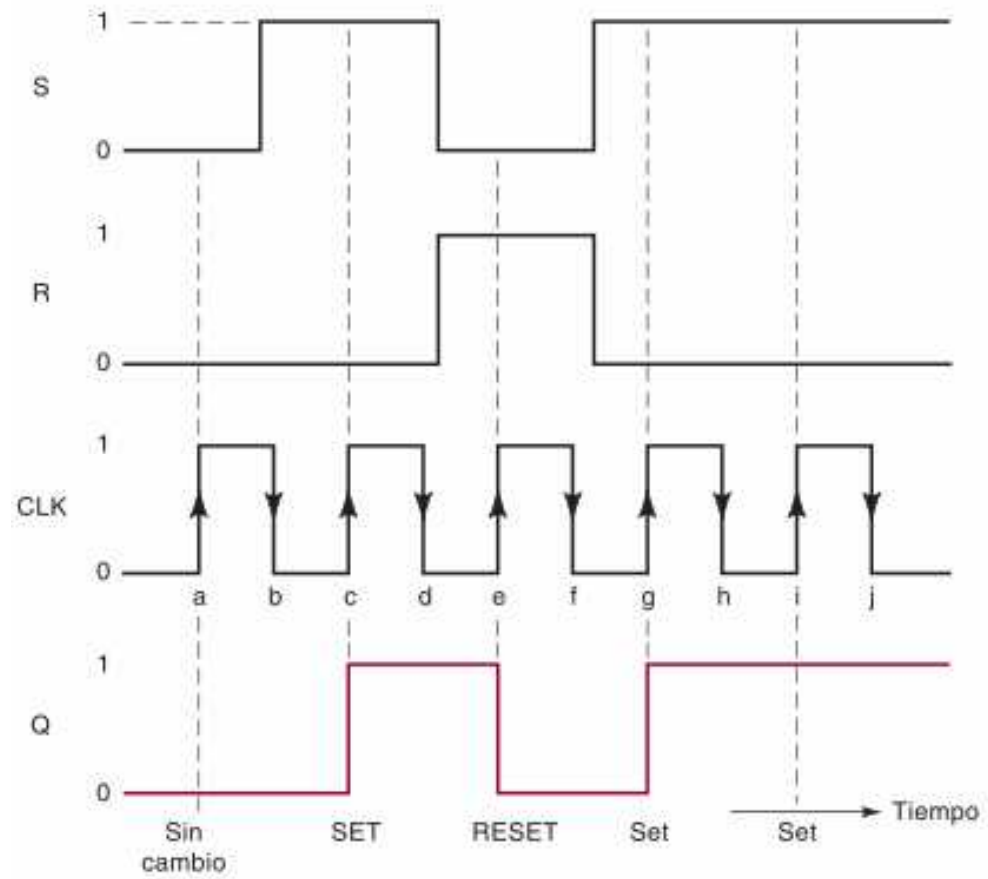
FIGURA 5-19 (a) Flip-flop S-R sincronizado por reloj que responde sólo al flanco positivo de un pulso de reloj; (b) tabla de funciones; (c) formas de onda comunes.



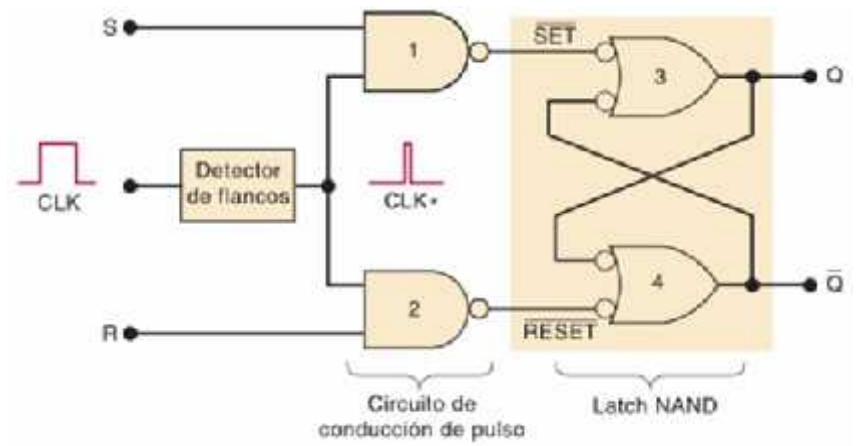
Entradas			Salida
S	R	CLK	Q
0	0	↑	Q_0 (sin cambio)
1	0	↑	1
0	1	↑	0
1	1	↑	Ambigua

Q_0 es el nivel de salida antes de la ↑ de CLK. La ↓ de CLK no produce ningún cambio en Q

(b)

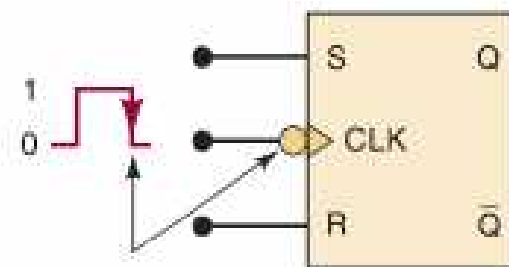


(c)



La figura 5-20 muestra el símbolo y la tabla de funciones para un flip-flop sincronizado por reloj en S-R que se dispara con la transición de pendiente *negativa* en su entrada *CLK*.

FIGURA 5-20 Flip-flop sincronizado por reloj en S-R que se dispara sólo en las transiciones de pendiente negativa.

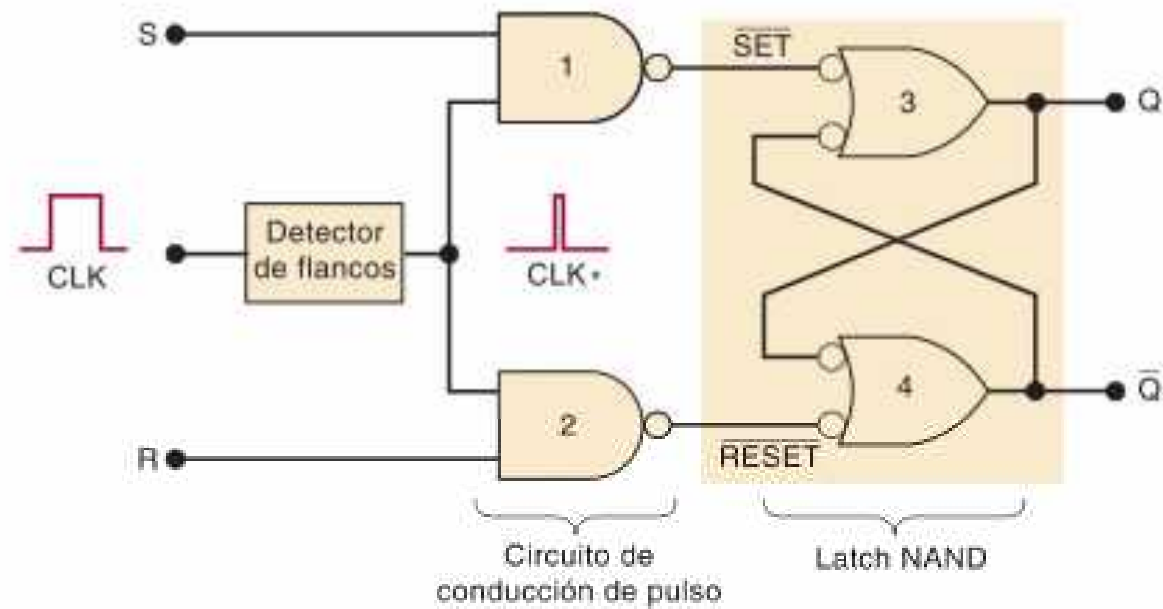


Se dispara en el flanco negativo

Entradas			Salida
S	R	CLK	Q
0	0	↓	Q ₀ (sin cambio)
1	0	↓	1
0	1	↓	0
1	1	↓	Ambigua

Circuitos internos del flip-flop sincronizado por reloj en S-R

FIGURA 5-21 Versión simplificada de los circuitos internos para un flip-flop sincronizado por reloj en S-R.



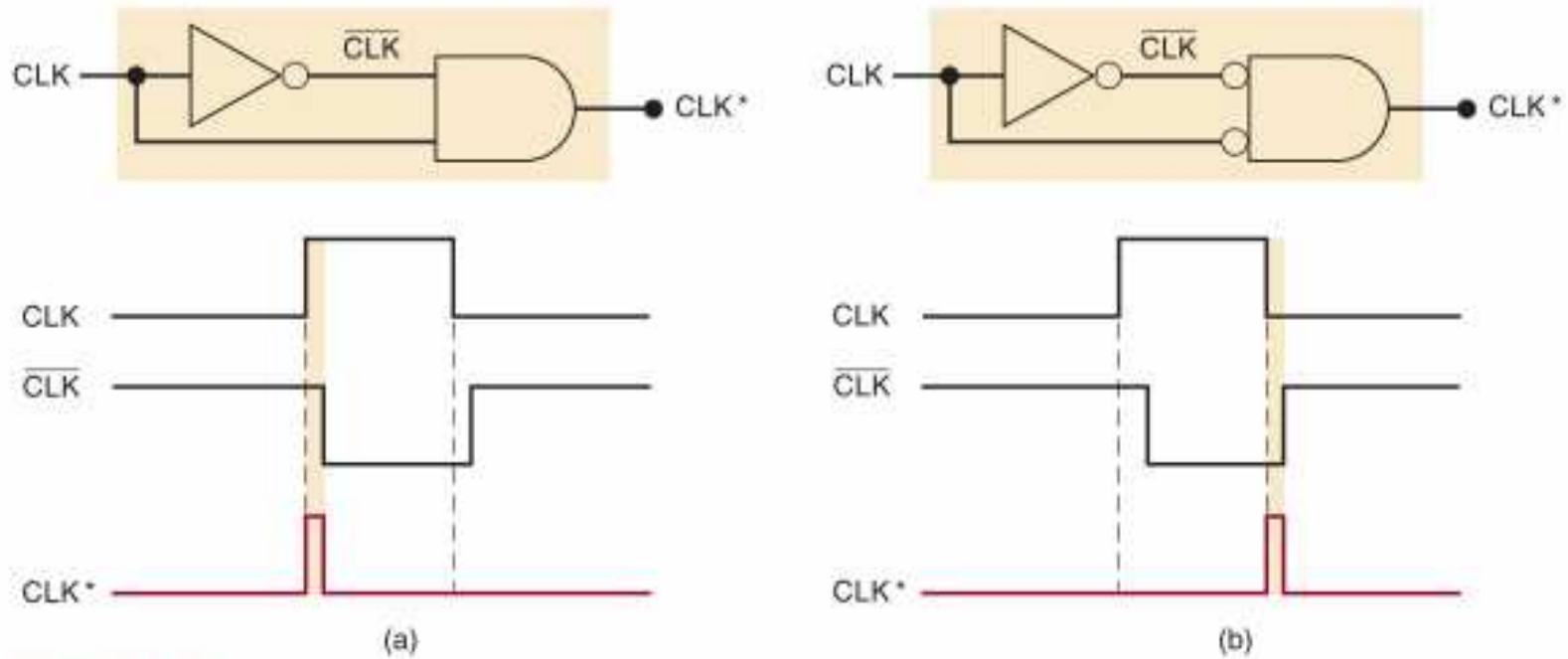
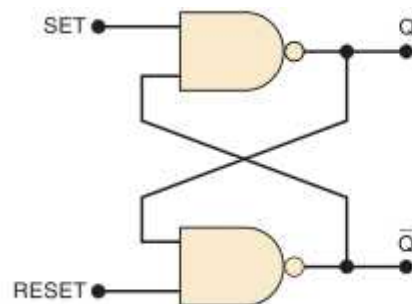
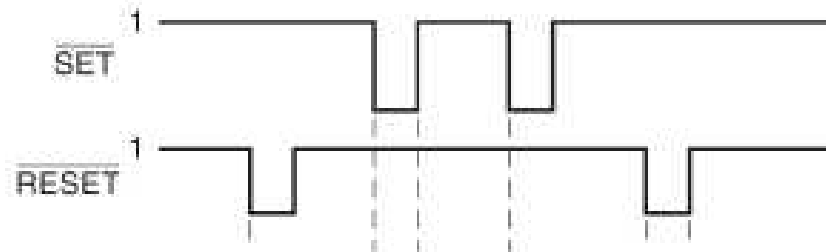


FIGURA 5-22 Implementación de circuitos detectores de flancos que se utilizan en flip-flops disparados por flanco: (a) PGT; (b) NGT. La duración de los pulsos en CLK* es por lo general de 2 a 5 ns.

EJEMPLO**FF de compuerta NAND**

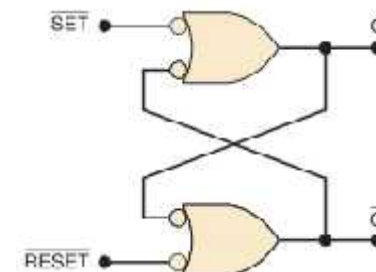
Las formas de onda de la figura 5-8 se aplican a las entradas del latch de la figura 5-7. Suponga que al inicio $Q = 0$; determine la forma de onda de Q .

FIGURA 5-8 Ejemplo 5-1.



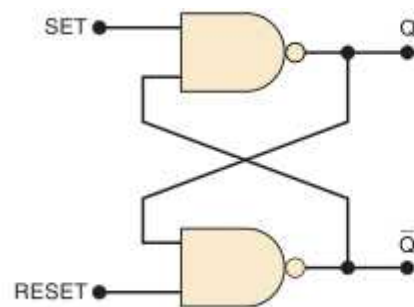
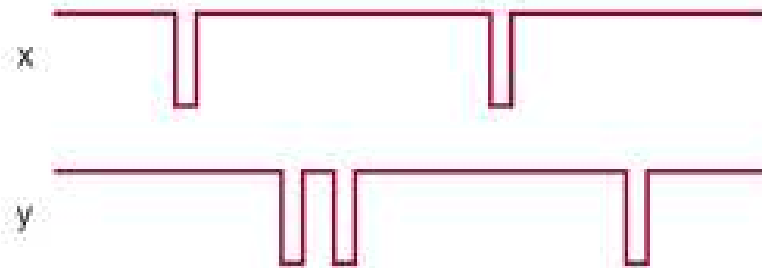
Set	Reset	Salida
1	1	Sin cambio
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválido*

* Produce $Q = \bar{Q} = 1$.



EJEMPLO

Suponiendo que al principio $Q = 0$, aplique las formas de onda x y y de la figura 5-73 a las entradas SET y RESET de un latch NAND y determine las formas de onda de Q y \bar{Q} .



Set	Reset	Salida
1	1	Sin cambio
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválido*

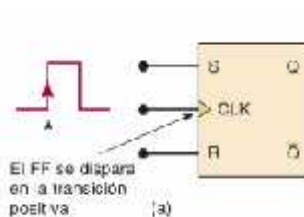
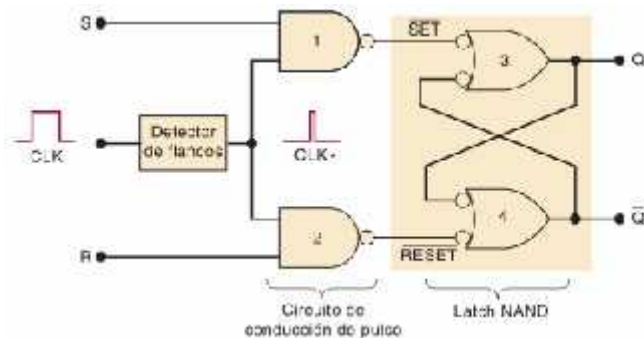
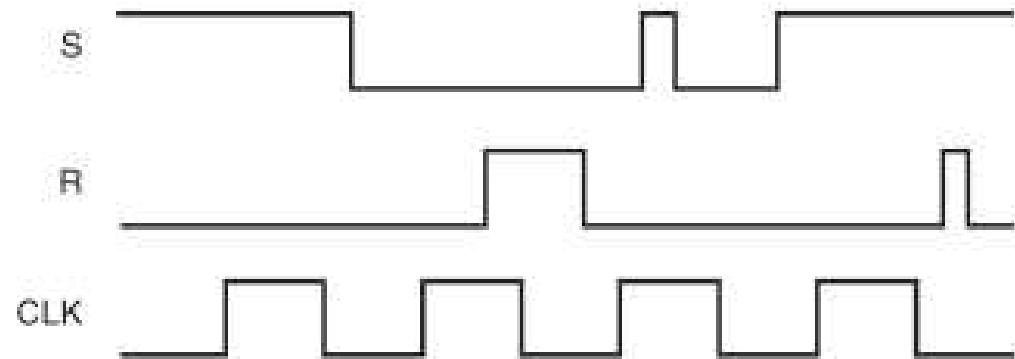
* Produce $Q = \bar{Q} = 1$.

EJEMPLO

Invierta las formas de onda x y y de la figura 5-73, aplíquelas a las entradas SET y RESET de un latch NOR y determine las formas de onda de Q y \bar{Q} . Suponga que al principio $Q = 0$.

EJEMPLO

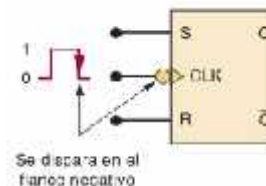
Aplique las formas de onda de la figura 5-76 al FF de la figura 5-19 y determine la forma de onda en Q . Repita el proceso para el FF de la figura 5-20. Suponga que al principio $Q = 0$.



Entradas			Salida
S	R	CLK	Q
0	0	↑	Q_0 (sin cambio)
1	0	↑	1
0	1	↑	0
1	1	↑	Ambigua

Q_0 es el nivel de salida antes de la \uparrow de CLK.
La \downarrow de CLK no produce ningún cambio en Q.

(b)



Entradas			Salida
S	R	CLK	Q
0	0	↓	Q_0 (sin cambio)
1	0	↓	1
0	1	↓	0
1	1	↓	Ambigua

FLIP-FLOP SINCRONIZADO POR RELOJ EN J-K

La figura 5-23(a) muestra un flip-flop sincronizado por reloj en J-K, el cual se dispara por el flanco de pendiente positiva de la señal de reloj. Las entradas J y K controlan el estado del FF de la misma forma que las entradas S y R controlan el flip-flop S-R, sólo por una gran diferencia: *la condición $J = K = 1$ no produce una salida ambigua.*

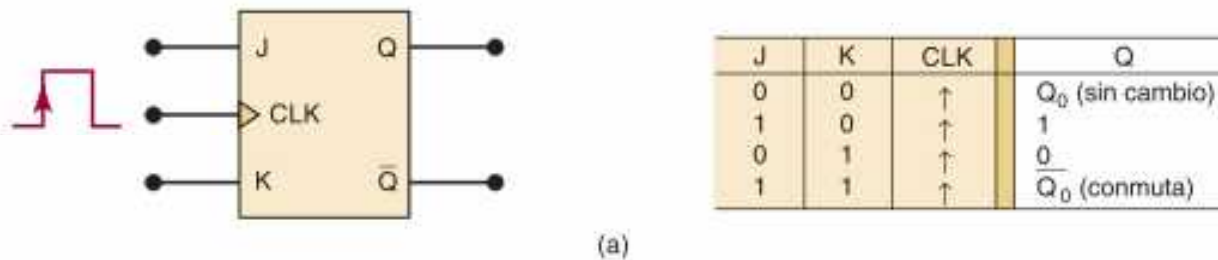
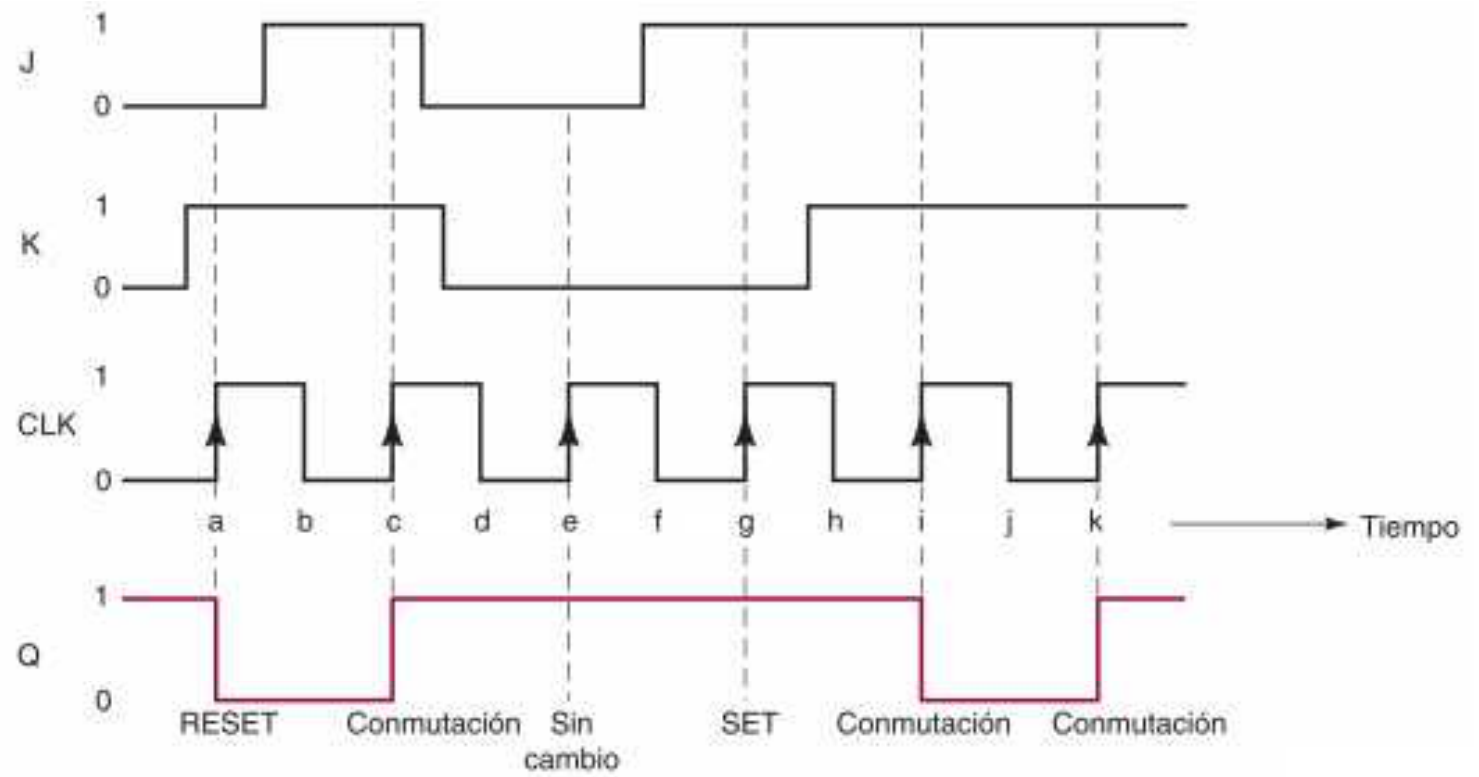


FIGURA 5-23 (a) Flip-flop sincronizado por reloj en J-K que responde sólo al flanco positivo del reloj



(b) formas de onda.

J	K	CLK	Q
0	0	↑	Q_0 (sin cambio)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (conmuta)

FIGURA 5-25 Circuito interno del flip-flop J-K disparado por flanco.

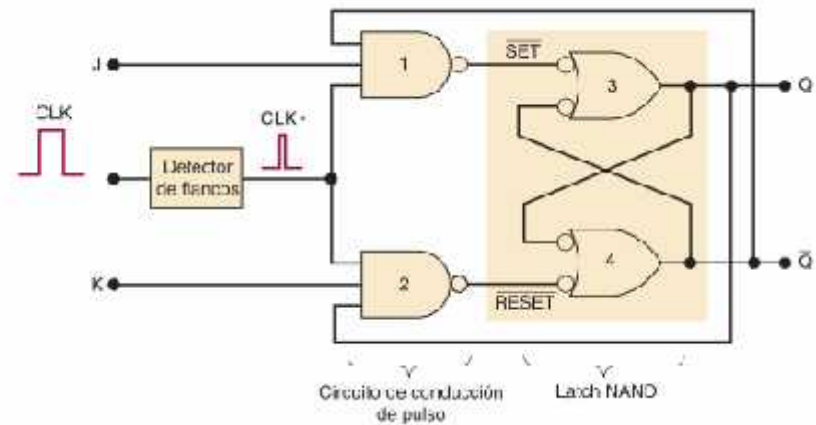
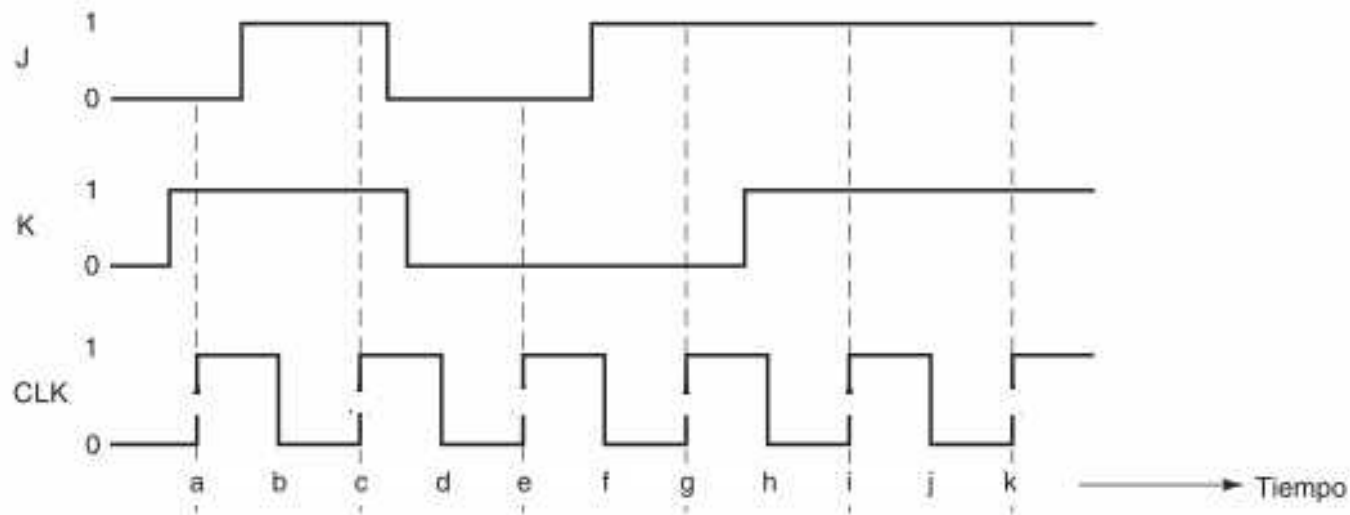
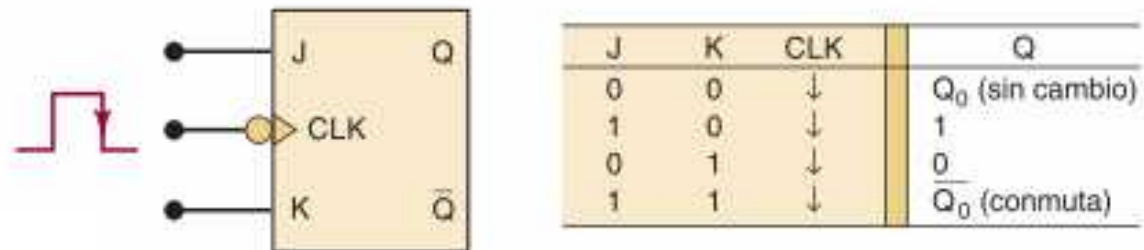


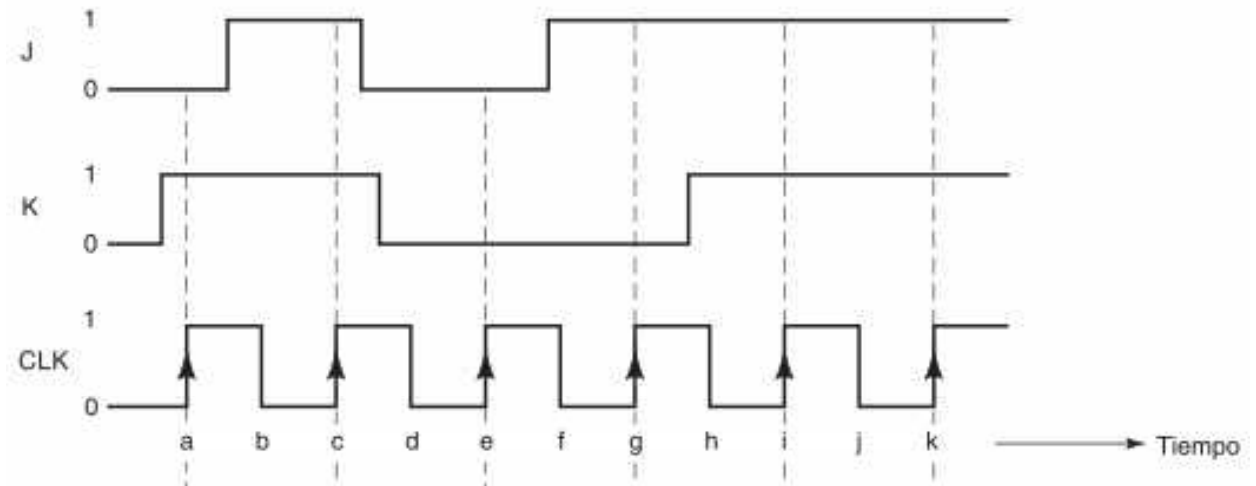
FIGURA 5-24 Flip-flop J-K que se dispara sólo con las transiciones de pendiente negativa.



(b) formas de onda.

EJEMPLO

Aplique las formas de onda de J , K y CLK de la figura 5-23 al FF de la figura 5-24. Suponga que al principio $Q = 1$ y determine la forma de onda de Q .

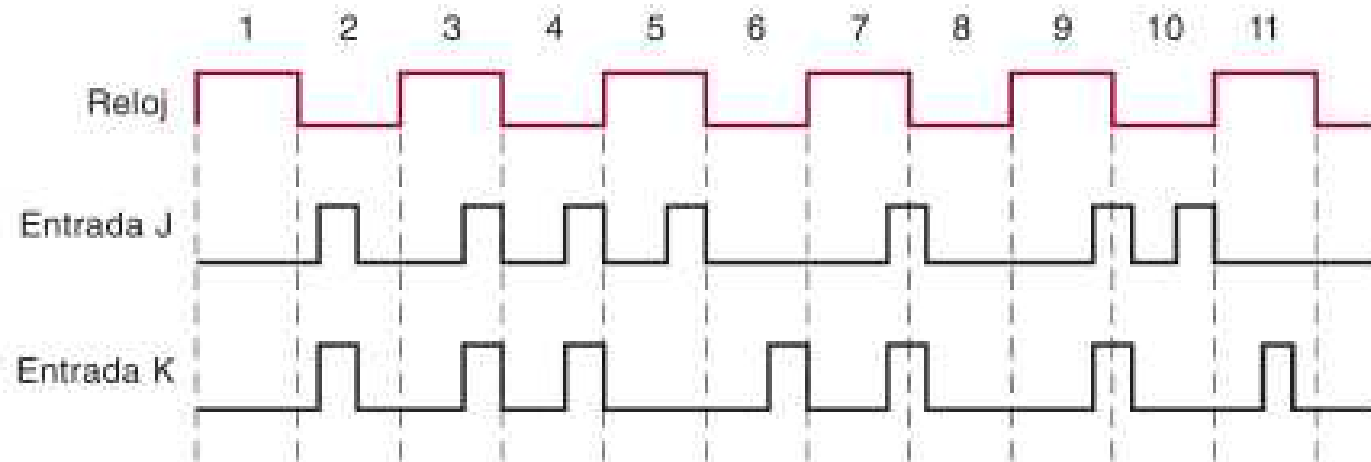


EJEMPLO

Las formas de onda que se muestran en la figura 5-77 se van a aplicar a dos FFs distintos:

- (a) J-K disparado con flanco positivo.
- (b) J-K disparado con flanco negativo.

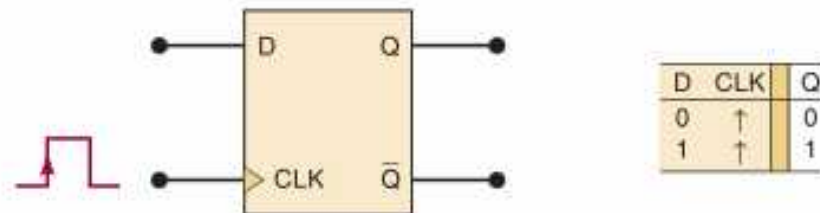
Dibuje la respuesta de la forma de onda de Q para cada uno de estos FFs, suponiendo que al principio $Q = 0$.

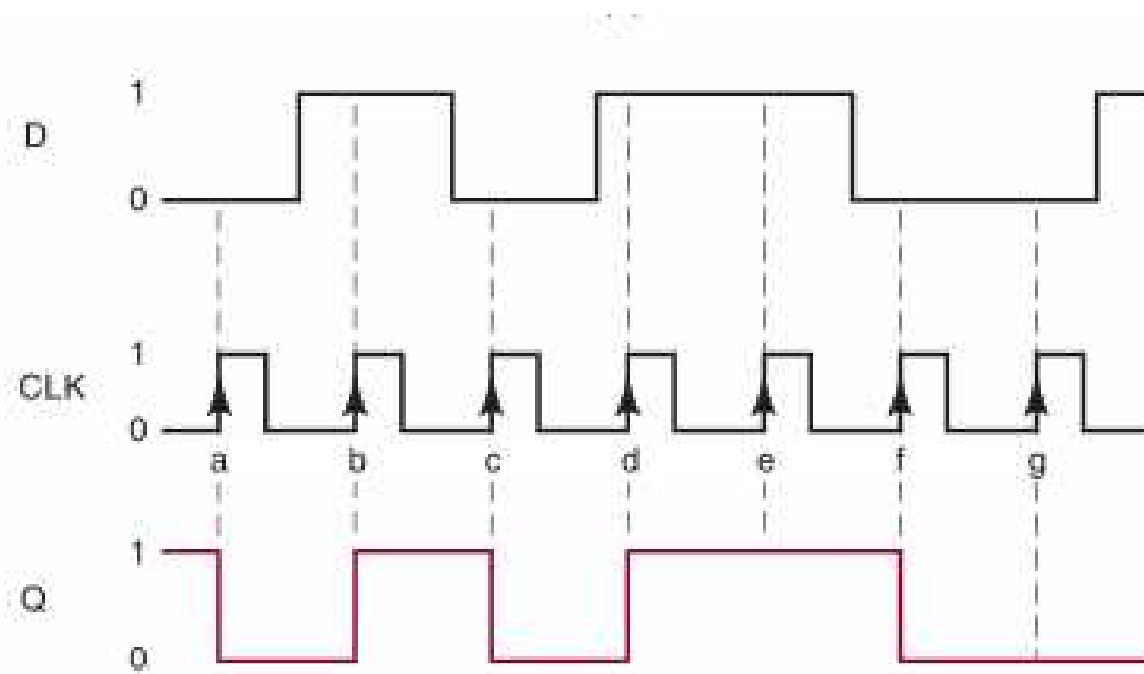


FLIP-FLOP SINCRONIZADO POR RELOJ EN D

La figura 5-26(a) muestra el símbolo y la tabla de funciones para un flip-flop sincronizado por reloj en D que se dispara con una PGT. A diferencia de los flip-flops S-R y J-K, este flip-flop sólo tiene una entrada de control síncrona D (la cual significa *datos*). La operación del flip-flop D es muy simple: Q cambiará al mismo estado que esté presente en la entrada D cuando ocurra una PGT en CLK . En otras palabras, el nivel presente en D se *almacenará* en el flip-flop en el instante en que ocurra la PGT. Las formas de onda de la figura 5-26(b) ilustran esta operación.

FIGURA 5-26 Flip-flop D que se dispara sólo en las transiciones de pendiente positiva





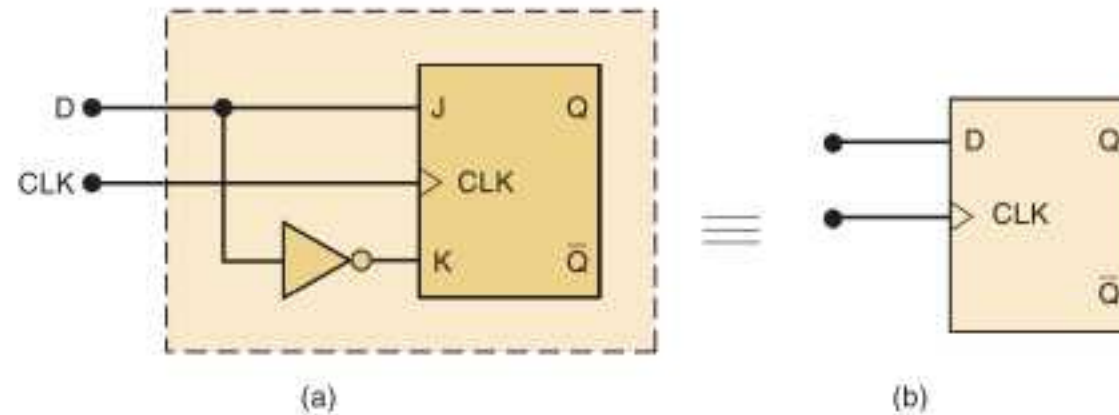
(b) formas de onda.

D	CLK	Q
0	↑	0
1	↑	1

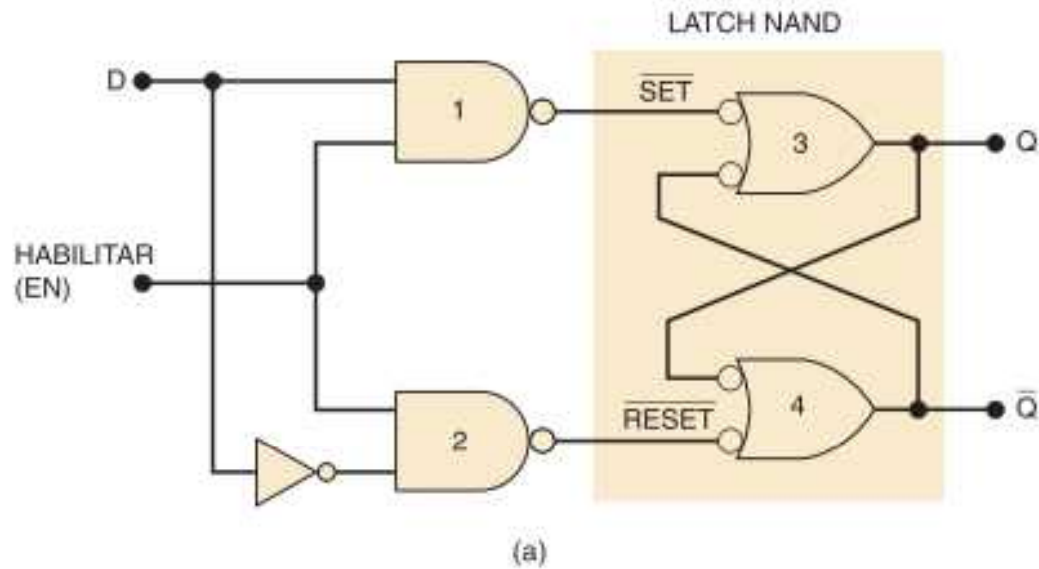
Implementación del flip-flop D

Un flip-flop D disparado por flanco se implementa con facilidad con sólo agregar un INVERSOR al flip-flop J-K disparado por flanco, como se muestra en la figura 5-27. Si usted prueba ambos valores de D , podrá ver que Q toma el nivel presente en D cuando ocurre una PGT. Lo mismo puede hacerse para convertir un flip-flop S-R en un flip-flop D.

FIGURA 5-27
Implementación de un flip-flop D disparado por flanco, a partir de un flip-flop J-K.



LATCH D (LATCH TRANSPARENTE)



Entradas		Salida
EN	D	Q
0	X	Q_0 (sin cambio)
1	0	0
1	1	1

"X" indica "no importa"
 Q_0 es el estado Q justo antes de que EN cambie a BAJO.

(b)

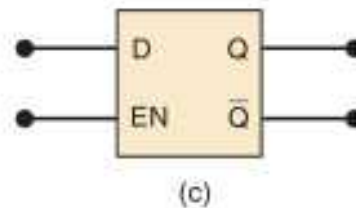
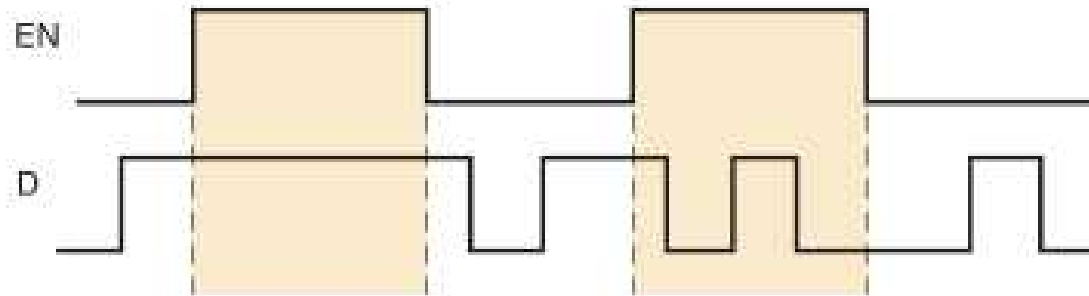


FIGURA 5-29 Latch D: (a) estructura; (b) tabla de funciones; (c) símbolo lógico.

EJEMPLO

Determine la forma de onda de Q para un latch D con las entradas EN y D .
Asuma que al principio $Q = 0$.



EJEMPLO

Determine la salida Q para un flip-flop J-K disparado por flanco negativo, para las formas de onda de entrada que se muestran en la figura 5-38. Suponga que al principio $t_H = 0$ y que $Q = 0$.

